

# SEMICONDUCTOR DEVICE

**Publication number:** JP10242226 (A)

**Publication date:** 1998-09-11

**Inventor(s):** SEKIGUCHI TORU +

**Applicant(s):** NEC CORP +

**Classification:**

- **international:** *H01L21/3205; H01L21/66;  
H01L21/822; H01L23/52;  
H01L27/04; H01L21/02;  
H01L21/66; H01L21/70;  
H01L23/52; H01L27/04;* (IPC1-  
7): H01L21/3205; H01L21/66;  
H01L21/822; H01L27/04

- **European:**

**Application number:** JP19970044025 19970227

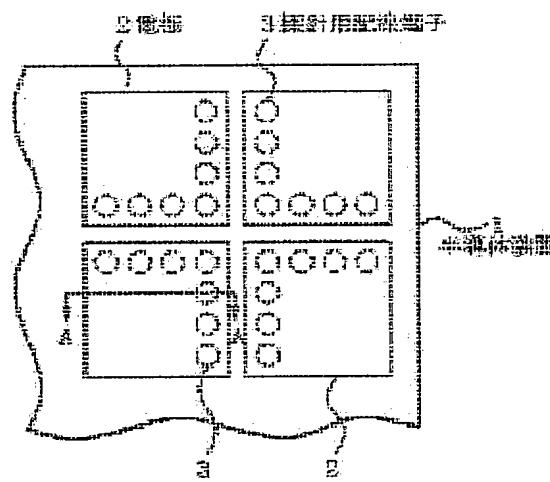
**Priority number(s):** JP19970044025 19970227

**Also published as:**

JP2927267 (B2)

## Abstract of JP 10242226 (A)

**PROBLEM TO BE SOLVED:** To permit the internal circuit characteristics to be easily tested without increasing the chip size of a multilayer structured semiconductor device. **SOLUTION:** The multilayer-wired semiconductor device 1 comprises electrodes (pads) formed on the entire wiring pattern surface thereof with probe wiring terminals 3 at lower layers thereof. When probing, the metal of the electrodes 2 is locally removed to expose the wiring terminals 3, using a machining technology, and a probing technology such as electron beam 7 is applied to the exposed terminals 3 to check the circuit characteristics, thereby clarifying the characteristics of a circuit built into the lower layer or the working condition of a specific wiring.



[Partial Translation]

JAPANESE PATENT APPLICATION PUBLICATION NO.10-242226

Application Date February 27, 1997

Publication Date September 11, 1998

-----

### SEMICONDUCTOR DEVICE

[omission]

[0041]

FIG. 7 is a plan view of a semiconductor device to illustrate embodiment 6 of the present invention. As shown in FIG. 7, in the semiconductor device 1 in embodiment 6, the lower layer of the electrode 2 is formed by an intermingled arrangement of a plurality of wiring terminals for probe tips 3 and a plurality of wiring terminals for probe tips 10. The wiring terminals for probe tips 3 only serve as probe tips and are not used to form the circuit, whereas the wiring terminals for probe tips 10 are raised up from the lower layer and are used to form the circuit. Note that these terminals may be disposed in each wiring layer as necessary.

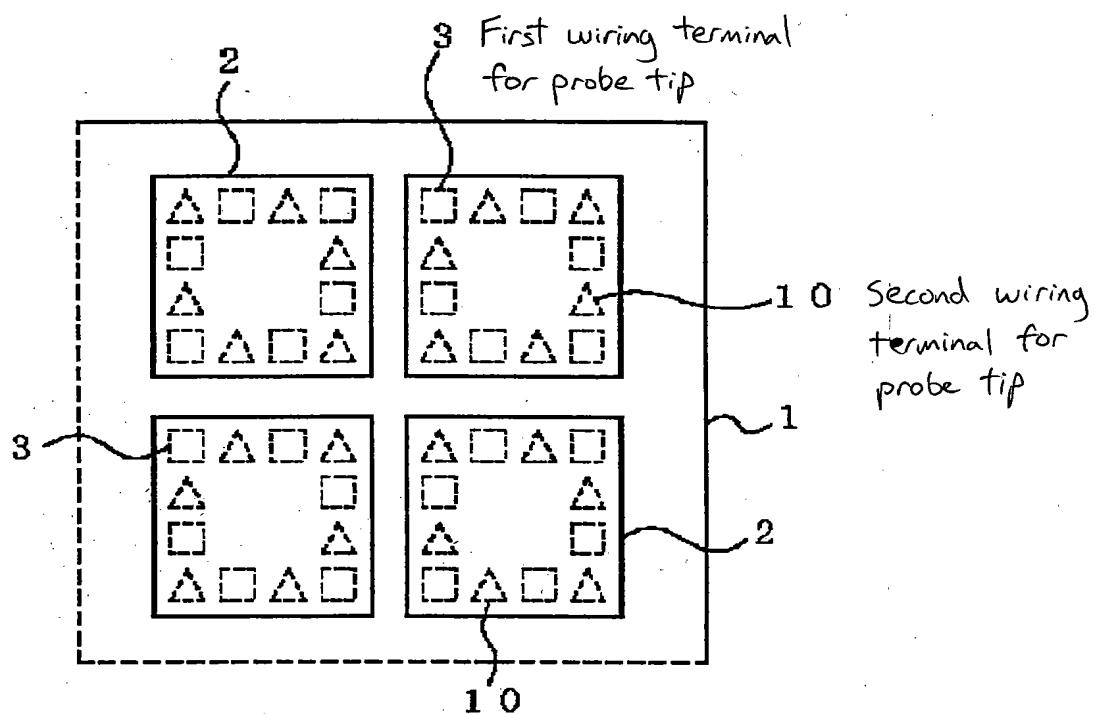
[0042]

In other words, this embodiment differs from embodiment 1 by having, in an intermingled arrangement, first wiring terminals for probe tips 3 and second wiring terminals for probe tips 10, the latter being used to form the circuit function

and also being raised up from the lower layer to serve as probe tips. To probe one of these terminals 3 and 10, the above-described processing technology is used to locally remove a part of the electrode 2 thereby exposing the terminal, and afterwards a probe needle or electron beam probe is used to probe the terminal.

[omission]

FIG. 7



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-242226

(43)公開日 平成10年(1998)9月11日

(51)Int.Cl.<sup>6</sup>  
H 0 1 L 21/66

識別記号

F I  
H 0 1 L 21/66

E  
C  
S  
E

21/3205  
27/04  
21/822

21/88  
27/04

審査請求 有 請求項の数 4 O L (全 6 頁)

(21)出願番号 特願平9-44025

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日 平成9年(1997)2月27日

(72)発明者 関口 亨

東京都港区芝五丁目7番1号 日本電気株  
式会社内

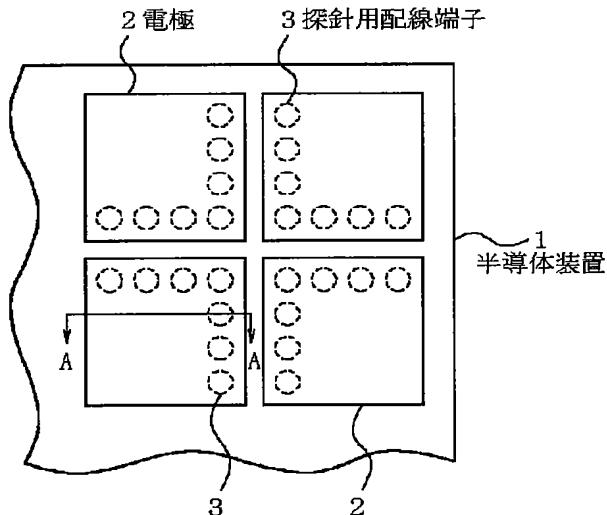
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】多層構造の半導体装置において、チップサイズを増大させることなく、装置内部の回路特性を容易に試験することにある。

【解決手段】多層配線化された半導体装置1の配線パターン面の全面に複数の電極(パッド)2が配置形成され、それらの下層部に探針用配線端子3を設ける。探針時には、加工技術を用いて電極2の金属を局所的に除去し、探針用配線端子3を露出させ、その露出した探針用配線端子3に電子ビーム7のようなプロービング技術を適用して回路の特性をチェックする。これにより、下層に作り込まれた回路の特性あるいは特定の配線の動作状況が明らかになる。



**【特許請求の範囲】**

**【請求項1】** 回路機能の形成に使用される電源配線、GND配線および信号配線を接続するためのパターン配線面に形成した複数の電極と、前記複数の電極の下層部の絶縁層に形成される複数の探針用配線端子とを有することを特徴とする半導体装置。

**【請求項2】** 前記複数の電極は、前記複数の探針用配線端子の直上部に対応する窓部を形成し、前記窓部を介して前記探針用配線端子表面に電子ビームを照射し、回路特性をチェックする請求項1記載の半導体装置。

**【請求項3】** 前記複数の探針用配線端子は、多層に形成される請求項1記載の半導体装置。

**【請求項4】** 前記複数の探針用配線端子は、回路の形成に使用されない第1の配線端子と、回路の形成に使用される第2の配線端子とを混在配置する請求項1記載の半導体装置。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は半導体装置に関し、特に探針用配線端子を備えた多層構造の半導体装置に関する。

**【0002】**

**【従来の技術】** 近年、半導体装置の大型化、高集積化に伴い、装置に形成される金属配線の多層化が進展しており、例えば4層配線された半導体装置が実用化されている。また、システム化あるいは高機能化されたこれらの半導体装置には、多ピン化の要求が高まっており、これまでに多ピンの半導体装置としては、500ピンから800ピンのものが製造されている。

**【0003】** さらに、現在では、5層配線構造で、1000ピン規模の半導体装置が実現されつつあり、半導体装置の配線構造や実装形態は、今後ますます複雑になっていくことが予想される。

**【0004】** 一方、半導体装置に対する高速動作の要求は、今後もますます強くなり、この高速化実現のために、トランジスタ素子の動作能力を向上させるだけでなく、装置全体の配線構造や実装形態にも十分の配慮が必要になっている。

**【0005】** こういった背景の中、近年の半導体装置では、配線パターン面全域に電極が配置された半導体装置が実用化されるようになってきた。

**【0006】**かかる場合には、装置の周辺部のみに電極が配置されていた従来の半導体装置に比べ、電極を配置できる領域が広がるため、電極サイズを必要以上に小さくすることなく、しかも電極間ピッチを必要以上に狭くしないで、数多くの電極を配置することが可能になった。このような電極の配置であれば、1000ピン規模の半導体装置を実現することができる。

**【0007】** また、従来の半導体装置は、装置内部の回路と周辺部の電極（パッド）とを、複数の回路と長い配

線を介して接続するため、遅延時間が生じ、半導体装置の高速化の実現に支障をきたしていたが、配線パターン面全域に電極が配置される半導体装置においては、内部回路と、その内部回路上に配置される電極との距離が短いため、かかる遅延時間を回避することができる。

**【0008】** さらに、このような半導体装置を実装基板へ実装する場合、装置側の電極と基板側の電極をバンプにより接続するフリップチップ実装が適用される。このフリップチップ実装は、従来より行われている電気的接続方法としてのワイヤボンディング法やTAB法に比べて、半導体装置と基板との間の特性インピーダンスを最適化し易く、装置の高速化を容易に実現することができる。

**【0009】** 以上の理由から、従来は、配線パターン面全域に電極を配置した半導体装置およびその関連技術が、高性能化していく半導体装置の多ピン化対応、高速化実現のための重要な技術となっている。

**【0010】** 図9は従来の一例を説明するための半導体装置の平面図である。図9に示すように、従来の多層構造の半導体装置11においては、内部回路あるいは外部回路と接続するための複数の電極12と、装置内部の回路特性を調査するために、内部回路あるいは外部回路と接続するための電極12間に設けた複数の探針用配線端子13とを備えている。

**【0011】** この半導体装置11において、下層の回路の電気的特性などを試験するには、その下層の回路に接続された探針用配線端子13に細いプローブ針を直接当てたり、あるいはそこにエレクトロンビームを当てたりすることにより、測定している。

**【0012】**

**【発明が解決しようとする課題】** 上述した従来の半導体装置は、多層配線化が進み、それに伴って上層配線に覆い隠される下層配線の領域が多くなっているため、プローブ針による探針や、エレクトロンビームを用いたEBテスティング法による電気特性測定技術を下層配線に対して適用しにくくなり、半導体装置内部の回路特性または或る特定の配線の動作状況を調査することが困難となっている。

**【0013】** すなわち、上層配線に隠れた回路の特性あるいは特定の配線の動作状況を測定するには、該当する下層の回路や配線から探針用の配線を上層まで引き出し、探針用配線が上層配線に隠れないように、上層配線と上層配線の間に配置する方法を取らざるを得ない。この探針用の配線を上層まで引き出しておけば、前述した電気特性測定技術が容易に適用できるようになり、下層の回路の特性や配線の動作状況を測定することが可能になる。

**【0014】** このような方法あるいは手段を、配線パターン面全域に電極が配置された半導体装置に適用した場合、探針用配線端子は、図9に示すように、電極と電極

の間に配置されることになる。

【0015】しかしながら、このような配置構造では、電極と電極の間に探針用配線の領域を設けておく必要があり、その結果、半導体装置のチップサイズが増大するという問題を生じてしまう。

【0016】本発明の目的は、かかるチップサイズを増大させることなく、装置内部の回路特性などを容易に試験することができる半導体装置を提供することにある。

#### 【0017】

【課題を解決するための手段】本発明の半導体装置は、回路機能の形成に使用される電源配線、GND配線および信号配線を接続するためのパターン配線面に形成した複数の電極と、前記複数の電極の下層部の絶縁層に形成される複数の探針用配線端子とを有して構成される。

【0018】また、本発明の半導体装置における複数の電極は、複数の探針用配線端子の直上部に対応する窓部を形成し、その窓部を介して探針用配線端子表面に電子ビームを照射し、回路特性をチェックするように形成される。

【0019】さらに、本発明の半導体装置における複数の探針用配線端子は、多層に形成される。

【0020】さらに、本発明の半導体装置における複数の探針用配線端子は、回路の形成に使用されない第1の配線端子と、回路の形成に使用される第2の配線端子とを混在配置して形成される。

#### 【0021】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0022】図1は本発明の第1の実施の形態を説明するための半導体装置の平面図である。図1に示すように、本実施の形態における半導体装置1は、配線パターン面の全域に複数の電極2を形成しており、各電極2の下層部にそれぞれ複数の探針用配線端子3を設けたものである。この電極2の下層部には、回路機能の形成に使用され、探針を目的として下層から引き上げられた信号配線（図示省略）や、回路機能の形成には使用されない探針用配線端子3を混在配置している。これらの配線あるいは端子を探針する場合には、電極2の一部を局所的に除去し、該当する探針用配線端子3を露出させる。

【0023】すなわち、探針用配線端子3が電極2の下層部に配置されているため、半導体装置1の表面上方より見ると、探針用配線端子3は電極2の金属によって覆い隠されている。

【0024】かかる電極2に用いられている金属配線を局所的に除去するにあたっては、各種の方法があるが、第一には、集束イオンビーム（FIB）を用いる方法がある。このFIB技術は、半導体装置1の配線修正、故障解析をはじめとする幅広い用途で活用されている技術であり、真空中でGaイオンを照射することにより、被加工物の局所的領域（～15μm□）を精度良く除去す

ることができる。

【0025】第二には、ガスアシストFIBという方法がある。この技術は、被加工物の材質に合わせて選択されたガスの雰囲気中で、被加工物にGaイオンを照射することにより、該当する被加工物の加工を促進し、短時間の局所的加工を可能にする。例えば、被加工物がアルミニウム（Al）の場合には、塩素、臭素、ヨウ素などが選択され、保護膜や層間膜の場合には、XeF<sub>2</sub>等のハロゲン系ガスが選択される。

【0026】また、第三には、エキシマレーザを用いた局所的除去方法もある。このエキシマレーザは、従来より半導体装置の加工に用いられてきたYAGレーザ（発振波長：1060nm）に比べ、発振波長が短かく（励起ガスにKrFを用いた場合は248nm、ArFを用いた場合は193nm）、被加工材料の表層部における吸収率が高いため、周辺部に熱による影響を残さずに、精度の良い局所的加工（～30μm□）が可能になる。

【0027】図2（a）、（b）はそれぞれ図1における電極を含む半導体装置の一部拡大平面図およびそのB-B断面図である。図2（a）、（b）に示すように、この半導体装置1の配線パターン面全域に電極2が配置され、その電極2の下層部である絶縁膜4の中に探針用配線端子3が形成されている。この探針用配線端子3を用いて回路チェックを行うためには、電極2の電極不要部2aを上述した方法を用いて除去する。

【0028】しかる後、探針用配線端子3上の絶縁膜4をエッチングなどの手法で除去し、電子ビームなどにより内部回路のチェックを行う。

【0029】図3（a）、（b）はそれぞれ本発明の第2の実施の形態を説明するための工程順に示した模式的な半導体装置の断面図である。まず、図3（a）に示すように、本実施の形態における半導体装置は、探針用配線端子3の下にさらに最下層の探針用配線端子5を設けた2層構造の例であり、図1における2つの電極2にまたがる加工前の部分の断面を示す。なお、6は電極用配線であり、絶縁層については、省略している。

【0030】ついで、図3（b）に示すように、上方よりFIB（集束イオンビーム：図示省略）により、電極2の局所的除去を行い、電極不要部2aを除去する。さらに、最下層探針用配線端子5の上面を出すべく、探針用配線端子3の端子不要部3aを除去する。

【0031】このように、電極2、探針用配線端子3の各不要部2a、3aを除去した後、露出した最下層探針用配線端子5に対し、探針用電子ビーム7を照射し、電気的特性を測定する。また、残された探針用配線端子3に対しても、同様に探針用電子ビーム7を照射し、電気的特性を測定する。ここでは、電極2から最下層探針用配線端子5に向かうにしたがって、除去する部分2a、3aを小さくしている。

【0032】すなわち、この半導体装置に探針解析を行

う際には、FIB、ガスアシストFIBあるいはエキシマレーザ等の加工技術により、上述した電極2の不要部2aを除去する。このとき、電極2の一部2aと一緒に絶縁膜も除去される。さらに、上層にある探針用配線端子3も同様の加工技術により除去し、下層にある最下層探針用配線端子5を露出させる。露出させた後は、プローピング技術を用いて最下層探針用配線端子5の電気的測定を行う。

【0033】本実施の形態では、探針用電子ビーム7を照射し、最下層探針用配線端子5の動作状況をEBプローピング法により観察する。この最下層探針用配線端子5は下層にある回路に接続されており、その動作状況は下層にある該当回路の不具合動作を反映している。

【0034】一方、かかる電極2への加工は局所的であるため、半導体装置1を基板などに実装するにあたっては、何の影響も与えない。したがって、この電極2への加工および探針解析の後、半導体装置1を基板に実装することが可能である。実際の実装にあたっては、各加工部に絶縁物を塗布し、探針用配線端子3や最下層探針用配線端子5を保護することが好ましい。なお、電極2の下層部に配置された配線が回路機能の形成に使用された信号配線であっても、本実施例と同様の加工技術を適用することができる。

【0035】図4(a), (b)はそれぞれ本発明の第3の実施の形態を説明するための半導体装置の一部拡大平面図およびそのC-C断面図である。図4(a), (b)に示すように、本実施の形態も、半導体装置1の配線パターン面全域に電極2が配置された例であるが、この場合は電極2の一部に窓部8を形成したものである。しかも、この窓部8は下層の絶縁膜4中に形成された探針用配線端子3に対応して形成される。

【0036】この場合、探針用配線端子3への探針アクセスは、探針用配線端子3上の絶縁膜4の部分を除去して行っても良いし、あるいは絶縁膜4を残したまま、探針用電子ビームを照射して行っても良い。

【0037】まず、図4(a)に示すように、本実施の形態においては、電極2の一部に開けられた窓部8から下層にある探針用配線端子3を見ることができる。

【0038】ついで、図4(b)に示すように、窓部8の部分は、絶縁膜4により被覆されている。このため、この半導体装置1を基板に実装しても探針用配線端子3が傷ついたり、隣接配線あるいは電極2と短絡することはない。また、この半導体装置1は、電極2の一部分のみに窓部8が形成されている構造であるため、基板への実装には支障なく、前述した図2(a), (b)と同様に、実装することができる。

【0039】図5は本発明の第4の実施の形態を説明するための半導体装置の断面図である。図5に示すように、本実施の形態は、前述した図4(a), (b)の変形例であると同時に、図4(a), (b)の探針の状態

をも示している。すなわち、図5においては、探針用配線端子3に対し、窓部8の絶縁膜4を介したまま、探針用電子ビーム7を照射する例である。

【0040】図6は本発明の第5の実施の形態を説明するための半導体装置の断面図である。図6に示すように、本実施の形態は、前述した図5の実施の形態において、窓部8の下層の絶縁膜4を除去し、穴部9を形成したものであり、絶縁膜4を介さずに直接探針用電子ビーム7を露出した探針用配線端子3に照射した例である。

【0041】図7は本発明の第6の実施の形態を説明するための半導体装置の平面図である。図7に示すように、本実施の形態における半導体装置1は、電極2の下層部に形成する複数の探針用配線端子3, 10を混在配置したものであり、特に回路の形成には使用されない探針目的だけの探針用配線端子3および下層から引き上げられ、回路の形成に使用される探針用配線端子10を混在配置する。なお、これらの端子は必要に応じて各配線層に配置してもよい。

【0042】要するに、本実施の形態において前述した第1の実施の形態と異なる点は、第1の探針用配線端子3と、回路機能の形成に使用され且つ探針を目的として下層から引き上げられた第2の探針用配線端子10とを混在配置したことにある。これらの端子3, 10を探針する場合には、前述した加工技術を用いて電極2の一部を局所的に除去して該当する端子を露出させ、しかる後プローブ針や探針用電子ビームを用いて該当する端子を探針する。

【0043】図8は本発明の第7の実施の形態を説明するための半導体装置の平面図である。図8に示すように、本実施の形態における半導体装置1は、配線パターン面の周囲に複数の電極2を形成し、それらの電極2の下層部にそれぞれ複数の探針用配線端子3を設けたものである。

【0044】本実施の形態においては、配線パターン面の周囲に複数の電極2が配置された形態を有する従来の半導体装置においても、本発明を適用可能であることを示している。勿論、本実施の形態においても、探針用配線端子3と下層からの探針用配線端子10とが混在していてもよい。

【0045】以上幾つかの実施の形態について説明したが、これらを組合わせても良いことは言うまでもない。

【0046】例えば、図2と図3を組合わせたものや、図4の例に図5あるいは図6を組合わせたものなどの変形も考えられる。

【0047】すなわち、前述した図4(a), (b)に示した半導体装置1に対し、探針解析を行う際、まず図5に示すように、窓部8から見える探針用配線端子3に電子ビーム7を照射する。照射する電子ビーム7が到達する深度に探針用配線端子3が位置するならば、絶縁膜4を除去しないでも動作状況の測定が可能であるため絶

縁膜4を取り除く必要がない。

【0048】一方、照射された電子ビーム7が到達しない深度に探針用配線端子3が位置する場合には、図6に示したように、FIB、ガスアシストFIBあるいはエキシマレーザ等の加工技術により、窓部8の部分につけられた絶縁膜4を除去し、穴部9を形成する。その後、露出した探針用配線端子3にEBプロービング技術を適用して動作解析等を行う。

【0049】

【発明の効果】以上説明したように、本発明の半導体装置は、複数の探針用配線端子を回路接続のための電極の下層部に配置し、それら探針用配線端子の直上部に位置する電極の一部を除去することにより、配線パターン面全域を有効に利用できるので、チップサイズを増大させることなく、装置内部の回路特性などを容易に試験することができるという効果がある。

【0050】また、本発明は、電極の下層部に配置する探針用配線端子を多層化することにより、より一層チップサイズを小さくできるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を説明するための半導体装置の平面図である。

【図2】図1における電極を含む半導体装置の一部拡大平面およびそのB-B断面を表わす図である。

【図3】本発明の第2の実施の形態を説明するための工

程順に示した半導体装置の断面図である。

【図4】本発明の第3の実施の形態を説明するための半導体装置の一部拡大平面およびそのC-C断面を表わす図である。

【図5】本発明の第4の実施の形態を説明するための半導体装置の断面図である。

【図6】本発明の第5の実施の形態を説明するための半導体装置の断面図である。

【図7】本発明の第6の実施の形態を説明するための半導体装置の平面図である。

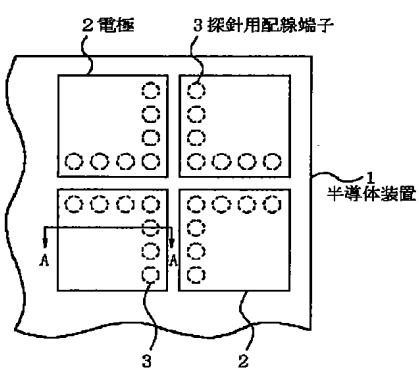
【図8】本発明の第7の実施の形態を説明するための半導体装置の平面図である。

【図9】従来の一例を説明するための半導体装置の平面図である。

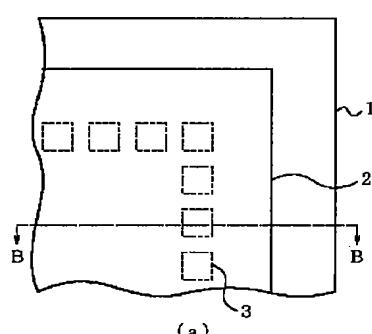
【符号の説明】

- 1 半導体装置
- 2 電極（パッド）
- 3, 10 探針用配線端子
- 4 絶縁膜
- 5 最下層探針用配線端子
- 6 電極用配線
- 7 探針用電子ビーム
- 8 窓部
- 9 穴部

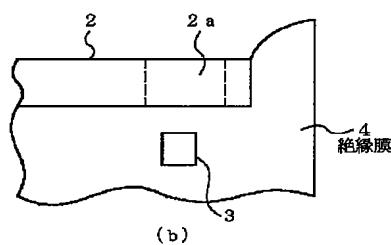
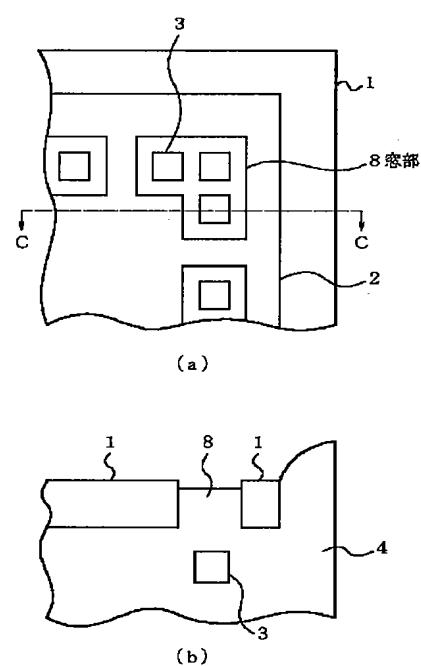
【図1】



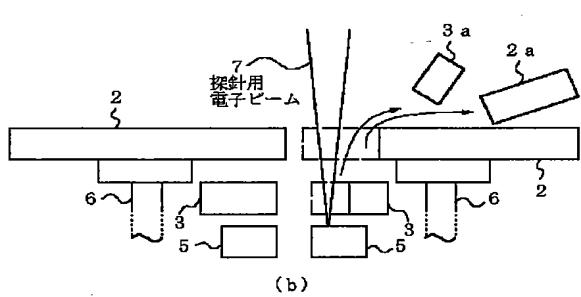
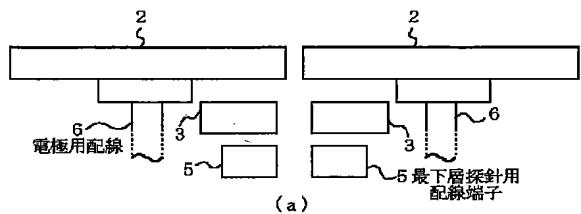
【図2】



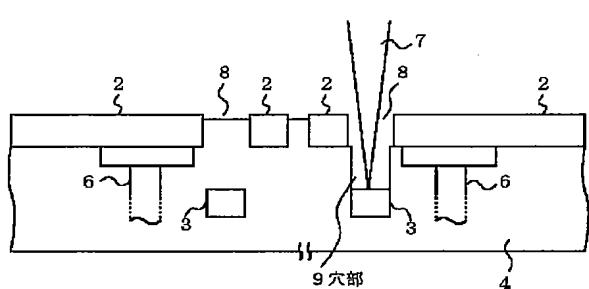
【図4】



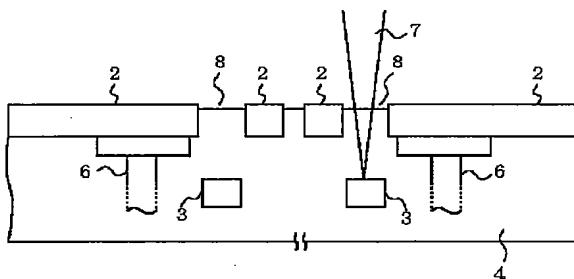
【図3】



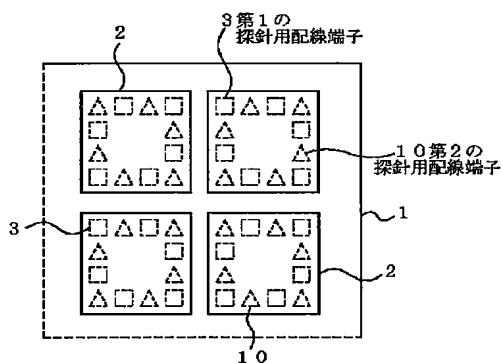
【図6】



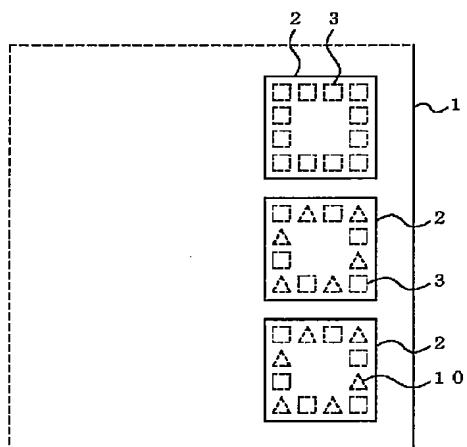
【図5】



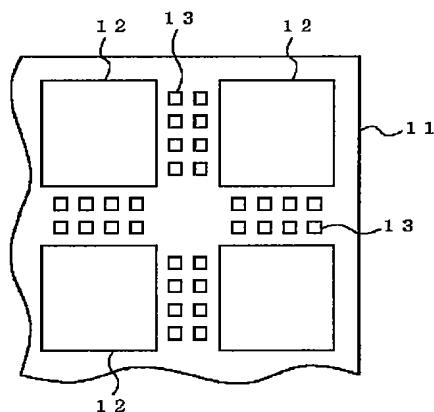
【図7】



【図8】



【図9】



VERIFICATION OF TRANSLATION

I, Benjamin Willey, translator at Nakajima & Associates IP Firm, 6<sup>th</sup> floor, Yodogawa 5-Bankan, 3-2-1 Toyosaki, Kita-Ku, Osaka, Japan, hereby declare that I am conversant with the English and Japanese languages and am a competent translator thereof. I further declare that to the best of my knowledge and belief the following is a true and correct translation made by me of Japanese Patent Application Publication No. 10-242226 published on September 11, 1998.

Date: April 5, 2010

Benjamin Willey  
Benjamin Willey